

PAT-NO: JP401013771A

DOCUMENT-IDENTIFIER: JP 01013771 A

TITLE: SEMICONDUCTOR NON-VOLATILE MEMORY

PUBN-DATE: January 18, 1989

INVENTOR-INFORMATION:

NAME

ISHII, KAZUTOSHI

ASSIGNEE-INFORMATION:

NAME

COUNTRY

SEIKO INSTR & ELECTRON LTD

N/A

APPL-NO: JP62170419

APPL-DATE: July 8, 1987

INT-CL (IPC): H01L029/78

US-CL-CURRENT: 257/E27.103

ABSTRACT:

PURPOSE: To improve electrical characteristics by using a crystallized semiconductor film through lateral solid growth employing one part of a semiconductor substrate as a seed crystal as a region of a floating gate electrode, where carriers are injected or drawn.

CONSTITUTION: A gate oxide film 12 and a tunnel insulating film 11 are shaped onto a p-type semiconductor substrate, and an n<SP>-</SP> layer as an electrode is formed through ion implantation, etc. An amorphous semiconductor film 21 is deposited through CVD, sputtering etc. Windows as seed crystals are bored near the tunnel insulating film in each memory cell. Sections up to the region of the tunnel insulating film 11 are changed into a single crystal through high- temperature annealing in an inert gas. An inter-layer insulating film 13 and a polycrystalline semiconductor film 24 are deposited and a control gate electrode 33 and a floating gate electrode 34 are patterned, and an n<SP>+</SP> impurity is injected through ion implantation to shape a source region 5 and a drain region 4. An inter-layer insulating film 14 is deposited, a contact hole is bored, and an all-layer electrode wiring is formed.

Accordingly, a crystallized semiconductor film can be formed to injection-erasing sections in a non-volatile memory, and the electrical characteristics of the tunnel insulating films can be improved.

COPYRIGHT: (C)1989,JPO&Japio

DERWENT-ACC-NO: 1989-063535

DERWENT-WEEK: 198909

COPYRIGHT 1999 DERWENT INFORMATION LTD

TITLE: Non volatile memory with improved tunnel film  
characteristic - has carrier injecting region mfg. by  
growing seed crystal in lateral direction NoAbstract Dwg  
1,2/6

PATENT-ASSIGNEE: SEIKO DENSHI KOGYO KK[DASE]

PRIORITY-DATA: 1987JP-0170419 (July 8, 1987)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
JP 01013771 A	January 18, 1989	N/A	005	N/A

APPLICATION-DATA:

PUB-NO	APPL-DESCRIPTOR	APPL-NO	APPL-DATE
JP 01013771A	N/A	1987JP-0170419	July 8, 1987

INT-CL (IPC): H01L029/78

ABSTRACTED-PUB-NO:

EQUIVALENT-ABSTRACTS:

TITLE-TERMS: NON VOLATILE MEMORY IMPROVE TUNNEL FILM CHARACTERISTIC CARRY  
INJECTION REGION MANUFACTURE GROW SEED CRYSTAL LATERAL DIRECTION  
NOABSTRACT

DERWENT-CLASS: U12

EPI-CODES: U12-D02A1;

## ⑫ 公開特許公報(A)

昭64-13771

⑤Int.Cl.<sup>4</sup>  
H 01 L 29/78識別記号  
3 7 1庁内整理番号  
7514-5F

④公開 昭和64年(1989)1月18日

審査請求 未請求 発明の数 1 (全5頁)

⑭発明の名称 半導体不揮発性メモリ

⑮特 願 昭62-170419

⑯出 願 昭62(1987)7月8日

⑰発 明 者 石 井 和 敏 東京都江東区亀戸6丁目31番1号 セイコー電子工業株式会社内

⑱出 願 人 セイコー電子工業株式会社 東京都江東区亀戸6丁目31番1号

## 明 細 書

## 1. 発明の名称

半導体不揮発性メモリ

## 2. 特許請求の範囲

(1) 浮遊ゲート電極の、少なくともキャリアの注入あるいは引抜きを行う領域として、半導体基板の一部を種結晶とする横方向固相成長による結晶化半導体膜を用いたことを特徴とする半導体不揮発性メモリ。

(2) メモリセルの過電流保護抵抗として前記結晶化半導体膜を用いたことを特徴とする特許請求の範囲第1項記載の半導体不揮発性メモリ。

## 3. 発明の詳細な説明

(産業上の利用分野)

この発明は、電子計算機、通信機、ファクシミリなどの電気機器に用いる半導体不揮発性メモリに関する。

(発明の概要)

さらに詳細には、この発明は薄い絶縁膜にホットエレクトロン(あるいはホットホール)や Fowler-Nordheim の電流を利用してキャリアを注入あるいは引抜き(消去)、浮遊ゲート電極の電位を任意に変えることができるMIS型不揮発性メモリに関するものである。

注入・消去領域がある薄い絶縁膜上の浮遊ゲート部分を結晶化半導体膜を用いることにより、薄い絶縁膜の電気特性を改善し、偶発故障率を低く抑え、歩留りを向上させることができる。

また、同一の結晶化半導体膜を保護抵抗として用いることにより、温度特性のよい保護回路を構成できる。

(従来の技術)

第2図に従来の浮遊ゲートを用いたMIS型不揮発性メモリの構造を示す。電荷の注入、引抜きは浮遊ゲート電極34と容量結合している制御ゲート電極とドレイン電極に高い電圧(約20V)を印加することにより、トンネル絶縁膜11にFowler-Nordheim電流を流すことにより行われる。従来は

浮遊ゲート電極34に、多結晶シリコンを用いていた。第3図は従来の不揮発性メモリの電荷注入部の拡大断面図である。多結晶シリコンの場合、半導体基板上に成長（あるいは堆積）した薄い絶縁膜が平坦にも拘らず、グレインが存在するため、浮遊ゲート側の電極形状が凹凸となり薄い絶縁膜中の電界集中が起きて、絶縁耐圧および破壊電流値が低くなる、偶発故障が多くなる等の欠点があった。

これに対し、浮遊ゲート電極に結晶化シリコン膜を採用すれば上記の欠点は解消されるが、ウェハーの全領域を結晶化する場合は、歩留りが極めて低く実用化されていない。

また、IC内部で昇圧回路を持ち、書換えに必要な高電圧（約20V）を発生している不揮発性メモリでは、絶縁膜の破壊の際にメモリセルに大きなプログラム電流が流れ、昇圧出力電圧が低下するのを防ぐために保護抵抗を挿入する場合がある。この保護抵抗を多結晶シリコン膜で形成した場合には、抵抗値の温度変化が大きく、設計が非常に

複雑になる。

〔作用〕

浮遊ゲート電極と半導体基板間の薄いトンネル絶縁膜からなる電荷注入部において、浮遊ゲート電極が、半導体基板と同一の面方向を持つ結晶化膜であるため、浮遊ゲート電極とトンネル絶縁膜の界面は非常に平坦性がよく、局所的な電界集中が生じにくくなる。

さらに、浮遊ゲート電極と半導体基板材料が同一なので、層間のストレスも最小となる。従って、薄い絶縁膜の持つ特性を十分に引き出すことができる。

〔実施例〕

第1図に本発明の実施例である浮遊ゲート型の不揮発性メモリの断面図を示す。第1図において浮遊ゲート電極34は、制御ゲート電極33と容量結合されており、その一部に薄いトンネル絶縁膜11を用いた電荷注入部41を持つ。そしてこの電荷注入部41の上に浮遊ゲート電極34は結晶化膜を用いている。電荷注入部41は、小さい面積の方が、制

御ゲート電極33と浮遊ゲート電極34の容量結合化

〔発明が解決しようとする問題点〕

本発明はMIS型不揮発性メモリの浮遊ゲート電極材料として、多結晶半導体膜と、再結晶化半導体膜を用いることにより薄い絶縁膜の電気特性（絶縁耐圧、破壊電流値、偶発故障等）を改善し、従来の再結晶化プロセスの低歩留りをも改善しようとするものである。

また、この工程で得られる再結晶化膜を用いて温度変化の少ない保護抵抗を持つ不揮発性メモリを実現しようとするものである。

〔問題点を解決するための手段〕

横方向固相成長法による、成長距離はIshiwaraらによると(H.Ishiwara et al Appl.Phys.Lett 43, 1028 1983) 5～6μm以上ある。一方、不揮発性メモリの注入・消去領域は、フォトリソグラフィー等による最小加工寸法で良い。(例えば2μm<sup>2</sup>)。従って、種結晶領域からフォトリソグラフィの最小加工精度の2倍以上の横方向固相成長法により、少なくとも注入・消去領域上の浮遊ゲート電

御ゲート電極33と浮遊ゲート電極34の容量結合化が大きくとれるので、通常は、フォトリソグラフィ技術により、その最小パターンで形成される。電荷の注入、引抜きは、扱う電荷を電子とした場合、次のようなバイアスを各電極に印加する。まず、注入時には、制御ゲート電極33に20V程度の電圧を印加し、ドレイン電極32を接地電位とする。浮遊ゲート電極34の電位は、制御ゲート電極33により高くなり、トンネル絶縁膜11の中をFowler-Nordheim電流が流れ、浮遊ゲート電極34中に電子が注入される。

電子の引き抜きは、ドレイン電極32に20V程度の電圧を印加し、制御ゲート電極33を接地電位とすることにより同様に行われる。

次に第1図に示す本発明の不揮発性メモリの製造方法の一例を第4図(a)～(d)を用いて説明する。第4図(a)において、P型半導体基板上に酸出しトランジスタ用のゲート酸化膜12および注入・消去用のトンネル絶縁膜(50～200Å)11を熱酸化等により形成する。この後、半導体基板上電極とな

る $n^+$ 層をイオンインプラ等により形成する。さらに、CVD、スパッタ等により非晶質半導体膜21を堆積する。この場合、多結晶シリコン膜を堆積し、Si等をイオンインプラし、非晶質化しても良い。

第4図(a)において、各メモリセルのトンネル絶縁膜の近く(フォトリソ等による最小加工精度の2~4倍程度の距離内)に種結晶となる窓開けを行う。そして、この種結晶を使って、不活性ガス中の高温(600℃以上)アニール、ランプアニール、レーザーアニール等により、少なくともトンネル絶縁膜11の領域まで、単結晶化する。いずれの場合も各メモリセル内に種結晶を持ち、この周囲 $10^2\mu m$ 程度の領域を結晶化すればよいので、特別に複雑な技術は必要としない。

第4図(b)において、層間絶縁膜13および、多結晶半導体膜24を堆積する。第4図(c)において、アクティブイオンエッチ等により制御ゲート電極33および浮遊ゲート電極34をバターンニングし、イオンインプラにより $n^+$ をドーピングし、ソース領域

域3およびドレイン領域4を形成する。最後に層間絶縁膜14を堆積し、コンタクトホールを開け、全層電極配線をすれば第1図に示す不揮発性メモリが完成する。

なお、種結晶の窓開け部は、浮遊ゲートのバターンニングの時に不要になってしまうので、同じ領域にコンタクトホール等が形成でき、セル面積の増加はほとんどない。

第5図(a)は、第1図の実施例をチップ上部から見た不揮発性メモリのパターンであり、第5図(b)は、第5図(a)のA-A'線に沿った断面図である。制御ゲート電極33は浮遊ゲート電極34と容量結合している。選択ゲート電極35は、不揮発性メモリに注入(あるいは消去)を行うか含むかの選択に用いて、誤書き込み(あるいは誤消去)を防ぐためのものである。

第6図(a)は、本発明の別の実施例の平面図を示す。第6図(b)は第6図(a)のB-B'線に沿った断面図である。この実施例では注入消去領域であるトンネル絶縁膜の領域をLOCOS領域と浮遊ゲ

ート電極のパターンの論理積から決める。

また、結晶化半導体膜を保護抵抗(数~数十メガオーム)として用いて、メモリセルのドレイン電極に直列に接続したものである。多結晶シリコン膜では不純物濃度が $10^{18}cm^{-3}$ 以下になると比抵抗の温度特性が悪くなる。例えば25℃から125℃に上昇すると約2桁比抵抗が減少する。これに対し、結晶化シリコン膜では50%以下である。

(発明の効果)

以上、説明したように本発明により、不揮発性メモリの注入・消去部に結晶化半導体膜を簡単に形成でき、トンネル絶縁膜の電気特性を向上させることができる。この結果、従来の多結晶半導体膜に比べ破壊電流値が大きくなり、高注入電流でのアクセスが可能となり、書き込み速度が速くなる。またTDDも良くなり、書換え回数が増大する。さらに、温度特性の良い保護抵抗膜も同時に形成できる。

#### 4. 図面の簡単な説明

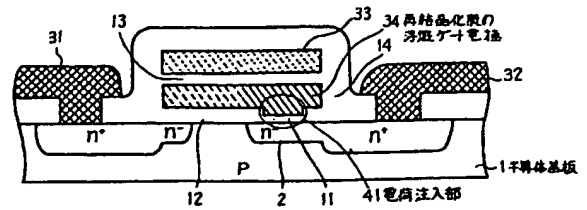
第1図は本発明の不揮発性メモリの断面図、第2図は従来の不揮発性メモリの断面図、第3図は従来の不揮発性メモリの電荷注入部の拡大断面図、第4図(a)~(c)は本発明の不揮発性メモリの製造工程順断面図、第5図(a), (b)は各々本発明の不揮発性メモリの平面図とその断面図、第6図(a), (b)はそれぞれ過電流保護抵抗を集積した不揮発性メモリの平面図とその断面図である。

- 1・・・半導体基板(あるいはウェル)
- 2・・・基板内電極用拡散領域
- 3・・・種結晶窓開け部
- 4・・・ドレイン領域
- 5・・・ソース領域
- 11・・・トンネル絶縁膜
- 12・・・読出ゲート絶縁膜
- 13,14・・・層間絶縁膜
- 21・・・非晶質半導体膜
- 22・・・結晶化半導体膜
- 23・・・多結晶半導体膜
- 31・・・ソース電極

- 32・・・ドレイン電極
- 33・・・制御ゲート電極
- 34・・・結晶化の浮遊ゲート電極
- 35・・・多結晶膜の浮遊ゲート電極
- 36・・・過電流保護用抵抗膜
- 41・・・電荷注入部

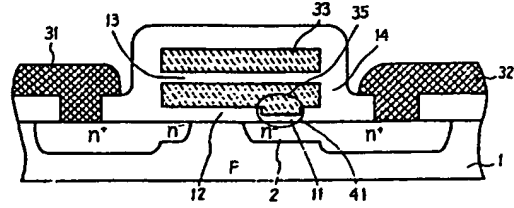
以 上

出願人 セイコー電子工業株式会社



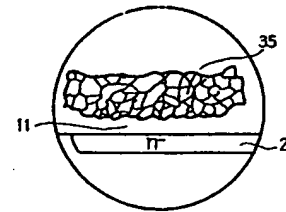
本発明の不揮発性メモリの断面図

第 1 図



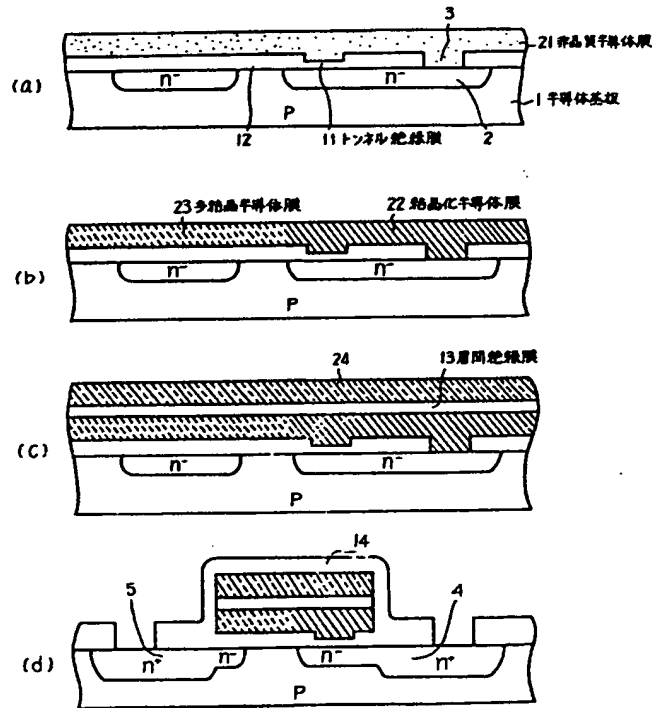
従来の不揮発性メモリの断面図

第 2 図



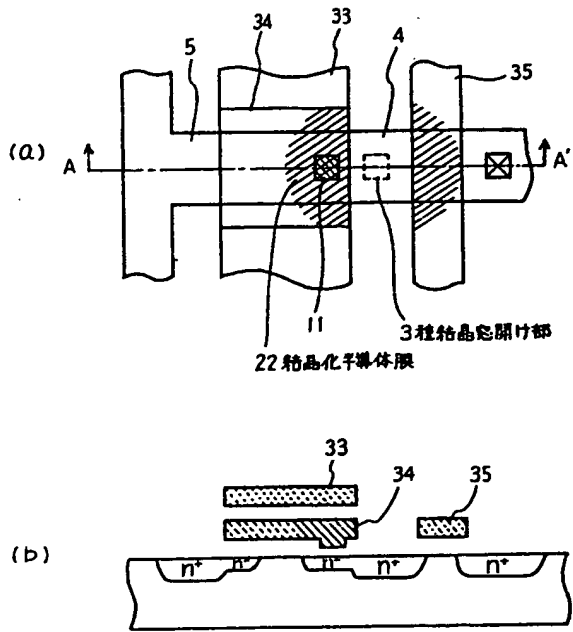
従来の不揮発性メモリの電荷注入部の拡大断面図

第 3 図

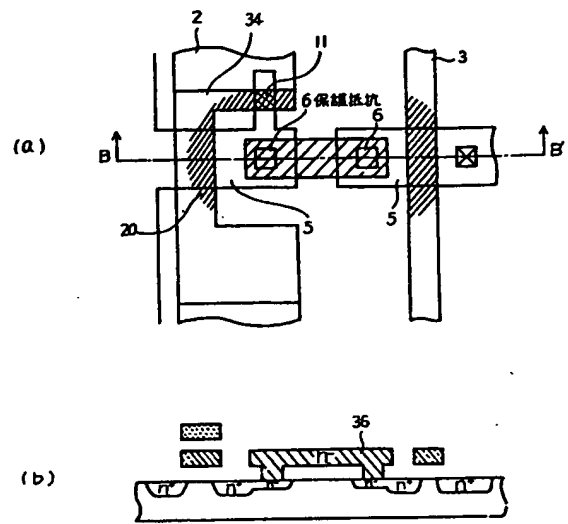


本発明の不揮発性メモリの製造工程を示す断面図

第 4 図



本発明による不揮発性メモリの平面及び断面図  
第 5 図



過電流保護抵抗を集積した不揮発性メモリの平面及び断面図  
第 6 図